

PUB-NO: DE004214102A1

DOCUMENT-IDENTIFIER: DE 4214102 A1

TITLE: Multi-chip semiconductor module e.g. of LOC-TSOP type -  
has two blank chips which are interconnected by solder,  
while several TAB strips have each inner and outer leads

PUBN-DATE: December 3, 1992

INVENTOR-INFORMATION:

NAME	COUNTRY
CHUN, HEUNG SUP	KR

INT-CL (IPC): H01L023/50, H01L025/065

EUR-CL (EPC): H01L023/495 ; H01L023/495, H01L023/495

US-CL-CURRENT: 257/686, 257/723 , 257/E23.034 , 257/E23.039 , 257/E23.052

ABSTRACT:

The blank chips belong to chip group and are interconnected by intermediate solder. There are several TAB strips, each with an inner and an outer lead. The chips are fitted with solder pips on facing sides, with the inner leads bonded between them. To the outer leads is bonded a system support. The chip group is pref. coupled to a second one of identical design such that the respective blank chips of one group are adjacent to those of the other one. The outer leads of the groups are interconnected to corresponding points of the system support. USE/ADVANTAGE - For vertically stacked semiconductor chips with improved integration in tape automated bonding (TAB).



(19) BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES

PATENTAMT

(12) Offenlegungsschrift  
(10) DE 42 14 102 A 1

(51) Int. Cl. 5:  
**H 01 L 23/50**  
H 01 L 25/065

DE 42 14 102 A 1

(21) Aktenzeichen: P 42 14 102.8  
(22) Anmeldetag: 29. 4. 92  
(43) Offenlegungstag: 3. 12. 92

(30) Unionspriorität: (32) (33) (31)

01.06.91 KR 9124/91

(71) Anmelder:  
Goldstar Electron Co., Ltd., Cheongju, KR

(74) Vertreter:  
Bardehle, H., Dipl.-Ing.; Dost, W., Dipl.-Chem.  
Dr.rer.nat.; Altenburg, U., Dipl.-Phys., Pat.-Anwälte;  
Geißler, B., Dipl.-Phys.Dr.jur., Pat.- u. Rechtsanw.;  
Rost, J., Dipl.-Ing.; Bonnekamp, H.,  
Dipl.-Ing.Dipl.-Wirtsch.-Ing.Dr.-Ing., Pat.-Anwälte;  
Pagenberg, J., Dr.jur.; Frohwitter, B., Dipl.-Ing.,  
Rechtsanwälte, 8000 München

(72) Erfinder:  
Chun, Heung Sup, Seoul/Soul, KR

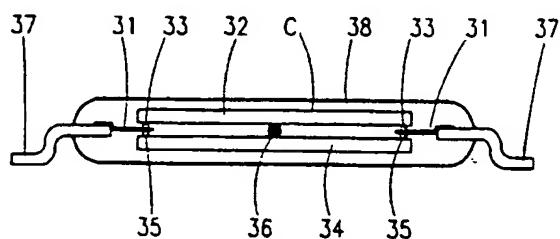
Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Multichip-Halbleiterbaustein

(57) Die Erfindung bezieht sich auf einen Multichip-Halbleiterbaustein, der einen verbesserten Integrationsgrad durch Übereinanderschichten mehrerer Halbleiterchips aufweist, und insbesondere auf einen Multichip-Halbleiterbaustein, der unter Verwendung einer TAB-Technik (Tape Automated Bonding Technology) und einer C-4-Bindierungstechnik die dünnste Struktur besitzt.

Der Multichip-Halbleiterbaustein umfaßt: eine erste Chipgruppe (C) mit einem ersten blanken Chip (32) und einem zweiten blanken Chip (34), die miteinander durch ein eingefügtes Lot (36) verbunden sind, und eine Vielzahl von TAB-Bändern (31), von denen jedes eine innere Zuleitung und eine äußere Zuleitung aufweist, wobei der erste und der zweite blanke Chip mit einer Vielzahl von Lothöckern (33) auf entgegengesetzten Seiten der einander zugekehrten Oberflächen versehen sind, wobei die inneren Zuleitungen zwischen entsprechenden Lothöckern (33) des ersten blanken Chips (32) und des zweiten blanken Chips (34) bondiert sind; und einem Systemträger (37, 37'), der an die äußeren Zuleitungen der TAB-Bänder (31) bondiert ist.

Die Chipgruppe des Multichip-Halbleiterbausteins kann mit einer anderen Chipgruppe verbunden werden, so daß der Baustein vier blanke Chips aufweist. Weiter kann eine Chipgruppe durch Befestigen der Systemträger zwischen zwei blanken Chips gebildet werden, wodurch die Chipgruppen stabil gemacht und fest übereinander gestapelt werden kann, und wobei die Anschlußpartien der blanken Chips an



DE 42 14 102 A 1

## Beschreibung

Die Erfindung bezieht sich auf einen Multichip-Halbleiterbaustein, der einen verbesserten Integrationsgrad durch Übereinanderschichten mehrerer Halbleiterchips aufweist, und insbesondere auf einen Multichip-Halbleiterbaustein, der unter Verwendung einer TAB-Technik (Tape Automated Bonding Technology) und einer C4-Bondierungstechnik die dünnste Struktur besitzt.

Seit kurzem geht bei Halbleiterbausteinen die Tendenz in Richtung auf eine Miniaturisierung, d. h. zu leichten und dünnen Bausteinen, während der blanken Chip dimensionsmäßig zunehmend größer wird, so daß das Flächen- oder Volumenverhältnis des blanken Chips zum Halbleitergesamtbaustein zunimmt. Dementsprechend wandelt sich die Technik zur Herstellung von Halbleiterbausteinen allmählich von der herkömmlichen Kunststoffverpackungstechnik, bei der der Chip auf einem Paddel plaziert ist, zur LOC-Technik (Lead-On-Chip), bei der Zuleitungen auf dem Chip angebracht werden. Weiter ist der Halbleiterbaustein üblicherweise mit einem einzelnen blanken Chip ausgerüstet, wobei natürlich bekannt ist, daß ein Multichip-Halbleiterbaustein durch Übereinandersetzen mehrerer Chips unter Bildung eines Huckepack-Bausteins, oder durch Übereinandersetzen mehrerer Chips innerhalb eines Halbleiterbausteins hergestellt wird (offenbar in Nikkei Micro Devices, April 1991).

In Fig. 1 ist eine perspektivische Ansicht zur Wiedergabe einer typischen Ausführungsform eines herkömmlichen Multichip-Halbleiterbausteins mit Huckepack-Struktur dargestellt. Gemäß Fig. 1 ist eine Vielzahl von Halbleiterbausteinen 2 übereinander auf dem untersten Halbleiterbaustein 1 aufgesetzt, wobei äußere Zuleitungen 2a, die mit dem oberen Halbleiterbaustein 2 verbunden sind, mit äußeren Zuleitungen 1a bondiert sind, die mit dem untersten Halbleiterbaustein 1 in herkömmlicher Weise verbunden sind, derart, daß die äußeren Zuleitungen 1a und 2a elektrisch miteinander verbunden sind. Die äußeren Zuleitungen 1a des untersten Halbleiterbausteins 1 sind nach außen hin als SOP-Typ (Small Outline Package) ausgebildet und in einen Speichermodul oder eine Platinenebene eingepaßt. Auf diese Weise erzielt der herkömmliche Huckepack-Typ des Halbleiterbausteins dreidimensional einen verbesserten Integrationsgrad.

Da jedoch der herkömmliche Halbleiterbaustein so beschaffen ist, daß der getrennt hergestellte Halbleiterbaustein 1 übereinandergestapelt wird, weist das herkömmliche Halbleiterpaket den Nachteil auf, daß jeder Halbleiterbaustein in der Dicke wegen der Drahtbondierung und der Gußformdicke der Epoxykunstharzkapselung um eine Drahtschleifenhöhe wächst. Dadurch nimmt die Dicke des gesamten Halbleiterpaketes unvermeidlicherweise zu.

Fig. 2 stellt eine Querschnittsansicht zur Veranschaulichung des Aufbaus eines herkömmlichen Multichip-Halbleiterbausteins dar, bei dem ein oberer und ein unterer blanker Chip längsseitig parallel zueinander in einem einzelnen Halbleiterbaustein angeordnet sind.

Nachfolgend wird das Verfahren zur Herstellung des Multichip-Halbleiterbausteins unter Bezugnahme auf Fig. 2 beschrieben. Zuerst werden zwei blanke Chips 3 und 4 miteinander verbunden. Innere Zuleitungen von TAB-Bändern 5 und 6 werden mit Hilfe der TAB-Technik an Höckern 8 bondiert, die auf den Anschlußabschnitten der blanke Chips 3 und 4 vorgesehen sind. Die äußeren Zuleitungen der TAB-Bänder 5 und 6 wer-

den jeweils mit den Systemträgern 9 und 9' verbunden. Schließlich wird ein Gußteil 10, das die entstandene Chipanordnung umhüllt, durch Anbringen eines Epoxyharzes gebildet. Dementsprechend enthält ein einzelner Halbleiterbaustein zwei blanke Chips 3 und 4, wodurch der Integrationsgrad der Elemente verbessert und der Baustein miniaturisiert wird, d. h. leicht und dünn wird.

Weiter ist in Fig. 3 eine Querschnittsansicht zur Darstellung einer weiteren Ausführungsform der herkömmlichen Multichip-Halbleiterbausteine dargestellt, in denen vier blanke Chips 11, 12, 11a und 12a eingebaut sind.

Der in Fig. 3 dargestellte Multichip-Halbleiterbaustein wird in ähnlicher Weise hergestellt, wie in bezug auf Fig. 2 beschrieben wurde. In der oberen Hälfte des Multichip-Halbleiterbausteins werden ein oberer und ein unterer blanker Chip 11 und 12 miteinander verbunden. Innere Zuleitungen der TAB-Bänder 15 und 16 werden jeweils an Höckern 13 und 14 der Chips 11 und 12 bondiert. Die Höcker 13 und 14 sind an den entgegengesetzten Seiten jeweils der oberen und der unteren Oberfläche der Chips 11 und 12 vorgesehen. Äußere Zuleitungen der TAB-Bänder 15 und 16 werden jeweils an den Systemträgern 17 und 17' bondiert. Gleichzeitig werden in der unteren Hälfte des Multichip-Halbleiterbausteins ein oberer blanker Chip 11a und ein unterer blanker Chip 12a miteinander verbunden. Innere Zuleitungen der TAB-Bänder 21 und 22 werden mit den Höckern 18 und 19 bondiert, die an entgegengesetzten Seiten der oberen und unteren Oberfläche jeweils des oberen und unteren blanke Chips 11a und 12a angebracht sind. Äußere Zuleitungen der TAB-Bänder 20 und 21 werden jeweils an den Systemträgern 17 und 17' bondiert. Schließlich wird ein Gußteil 22, das die sich ergebende Chipanordnung umhüllt, durch Anbringen der Epoxyharzkapselung gebildet. Dementsprechend enthält ein einzelner Halbleiterbaustein vier blanke Chips 11, 12, 11a und 12a, wodurch sein Integrationsgrad verbessert und eine noch stärkere Miniaturisierung des Bausteins erzielt wird als im Falle der Fig. 2.

Da aber bei den in den Fig. 2 und 3 dargestellten und oben beschriebenen Multichip-Halbleiterbausteinen die inneren Zuleitungen der TAB-Bänder 6 und 15, 16, 20, 21 an den Höckern 7, 8 und 13, 14, 18, 19 bondiert sind, die auf der oberen und unteren Oberfläche der blanke Chips 3, 4 und 11, 12, 11a, 12a angebracht sind, nehmen die Höhen H bzw. H' zwischen dem oberen TAB-Band 5 und dem unteren TAB-Band 6 bzw. zwischen dem oberen TAB-Band 15 und dem unteren TAB-Band 21 zu, so daß die Dicke des gesamten Halbleiterpaketes zunimmt.

Da weiter die Anzahl der TAB-Bänder 5, 6 und 15, 16, 20, 21 zunimmt, nehmen auch die Herstellungskosten des Multichip-Halbleiterbausteins zu, und außerdem bedingt die Herstellung des Bausteins notwendigerweise ein komplexes Verfahren.

Da weiter jede innere Zuleitungsbondierung (ILB) zwischen den blanke Chips 3, 4, 11, 12, 11a und 12a und den TAB-Bändern 5, 6, 15, 16, 20 und 21 an einer äußeren Oberfläche der blanke Chips 3, 4, 11, 12, 11a und 12a' ausgeführt werden, sind die Multichip-Halbleiterbausteine nicht für die LOC-Technik geeignet. Aufgrund der relativ kurzen Längen der TAB-Bänder 5, 6, 15 und 16 ist das Verfahren zum Bondieren der inneren Zuleitungen kompliziert und nicht leicht durchzuführen.

Es ist daher ein Ziel der Erfindung, einen Multichip-Halbleiterbaustein zu schaffen, der mit Hilfe einer TAB-Technik und einer für das Flip-Chip-Verfahren geeigneten C4-Bondierungstechnik in der dünnsten Struktur hergestellt wird, um: den Halbleiterbaustein zu miniaturisieren.

risieren, die LOC-Technik entsprechend der zunehmenden Größe eines blanken Chips zu verwenden und gleichzeitig zwei oder vier blanke Chips zu umkapseln.

Um dieses Ziel zu erreichen, weist der Multichip-Halbleiterbaustein gemäß der vorliegenden Erfindung auf: eine erste Chipgruppe mit einem ersten blanken Chip und einem zweiten blanken Chip, die miteinander durch ein eingefügtes Lot verbunden sind, und eine Vielzahl von TAB-Bändern, von denen jedes eine innere Zuleitung und eine äußere Zuleitung aufweist, wobei der erste und der zweite blanke Chip mit einer Vielzahl von Lothöckern auf entgegengesetzten Seiten der einander zugekehrten Oberflächen versehen sind, wobei die inneren Zuleitungen zwischen entsprechenden Lothöckern der ersten und zweiten blanken Chips bondiert sind, und einen Systemträger, der an die äußeren Zuleitungen der TAB-Bänder bondiert ist.

Diese und weitere Ziele, Merkmale und Vorteile der vorliegenden Erfindung gehen aus der nachfolgenden Beschreibung in Verbindung mit den Zeichnungen deutlich hervor, deren wesentlicher Gegenstand kurz beschrieben wird.

Fig. 1 stellt eine perspektivische Ansicht zur Veranschaulichung eines Huckepack-Typs des Multichip-Halbleiterbausteins gemäß dem Stande der Technik dar;

Fig. 2 stellt eine Querschnittsansicht eines TSOP-Typs entsprechend einer weiteren Ausführungsform des in Fig. 1 dargestellten Multichip-Halbleiterbausteins dar, bei dem zwei Halbleiterchips übereinander angeordnet sind;

Fig. 3 stellt eine Querschnittsansicht eines TSOJ-Typs entsprechend einer noch weiteren Ausführungsform des in Fig. 1 dargestellten Multichip-Halbleiterbausteins dar, bei dem vier Chips übereinander angeordnet sind;

Fig. 4 stellt eine Querschnittsansicht eines LOC-TSOP-Typs dar, der eine Ausführungsform des Multichip-Halbleiterbausteins gemäß der vorliegenden Erfindung wiedergibt, bei der TAB-Zuführungen zwischen zwei Chips plaziert sind;

Fig. 5 stellt eine Querschnittsansicht eines LOC-TSOP-Typs dar, der eine weitere Ausführungsform des Multichip-Halbleiterbausteins gemäß der vorliegenden Erfindung wiedergibt, bei der TAB-Zuführungen bis in die Mitte des Chips verlängert sind;

Fig. 6 stellt eine Querschnittsansicht eines LOC-TSOJ-Typs dar, der wiederum eine weitere Ausführungsform des in Fig. 4 dargestellten Multichip-Halbleiterbausteins wiedergibt;

Fig. 7 stellt eine Querschnittsansicht eines Multichip-Halbleiterbausteins vom Andruck-Typ dar, der eine weitere Ausführungsform des in Fig. 4 dargestellten Multichip-Halbleiterbausteins bildet; und

Fig. 8 stellt eine Querschnittsansicht eines LOC-TSOP-Typs dar, der eine noch weitere Ausführungsform des in Fig. 4 dargestellten Multichip-Halbleiterbausteins wiedergibt.

Nachfolgend werden die bevorzugten Ausführungsformen der Erfindung im einzelnen beschrieben.

Bezugnehmend auf Fig. 4 ist ein LOC-TSOP-Baustein (Thin Small Outline Package) dargestellt, der eine Ausführungsform des Multichip-Halbleiterbausteins gemäß der vorliegenden Erfindung bildet. Der in der Zeichnung dargestellte Multichip-Halbleiterbaustein umfaßt einen oberen und einen unteren blanken Chip 32 und 34. Der obere blanke Chip 32 ist mit Lothöckern 33 an entgegengesetzten Seiten der unteren Oberfläche versehen. Entsprechend ist der untere blanke Chip 34 mit Lothök-

kern 35 an entgegengesetzten Seiten der oberen Oberfläche versehen. Zwischen dem oberen und dem unteren blanken Chip 32 und 34 ist ein Lot 36 eingefügt, so daß die Chips 32 und 34 miteinander verbunden sind. Die inneren Zuleitungen der TAB-Bänder 31 sind zwischen den Lothöckern 33 des oberen blanken Chips 32 und den Lothöckern 35 des unteren blanken Chips 34 an entgegengesetzten Seiten der blanken Chips 32 und 34 bondiert. Die äußeren Zuleitungen der TAB-Bänder 31 sind jeweils mit einem Systemträger 37 (rechts in Fig. 4), 37' (links in Fig. 4) verbunden (wobei zum leichteren Verständnis der Struktur des Bausteins nur zwei TAB-Bänder 31 mit den zugehörigen Komponenten dargestellt sind). Die wie beschrieben aufgebaute Chipgruppe ist von einem Gußformabschnitt 38 umgeben.

Nachfolgend wird das Verfahren zur Herstellung des beschriebenen Multichip-Halbleiterbausteins gemäß der vorliegenden Erfindung erläutert.

Zuerst werden die inneren Zuleitungen der TAB-Bänder 31 mit den an entgegengesetzten Seiten der unteren Oberfläche des oberen blanken Chips 32 durch die C-4-Bondierungsstechnik verbunden. Dabei werden die inneren Zuleitungen des Bandes 31 zunächst annähernd mit den Lothöckern 33 des Chips 32 ausgefluchtet. Danach werden der Chip 32 und das Band 31 zur Erwärmung in einem Ofen gebracht, wodurch sich die inneren Zuleitungen des Bandes 31 relativ zu den Lothöckern 33 des Chips 32 selbstausrichten. Im Unterschied zum Stande der Technik müssen also die inneren Zuleitungen des Bandes 31 nicht genau mit den Lothöckern 33 ausgefluchtet sein.

Anschließend wird der getrennte untere blanke Chip 34 umgedreht. Dann wird er in bezug auf die inneren Zuleitungen des Bandes 31 ausgefluchtet, das mit den Lothöckern 33 des oberen Chips 32 verbunden wurde. Daraufhin wird es erwärmt, so daß es durch C-4-Bondieren mit den inneren Zuleitungen des Bandes 31 verbunden wird. Dabei kann sich der untere Chip 34 in bezug auf die inneren Zuleitungen des Bandes 31 selbstausrichten, so daß eine genaue Ausrichtung des oberen Chips 34 nicht erforderlich ist, wie oben beschrieben. Anschließend wird das Lot 36 zwischen den oberen blanken Chip 32 und den unteren blanken Chip 34 eingefügt.

Da in diesem Falle das TAB-Band 31 mit einem Kleber auf seinen beiden Oberflächen versehen ist, wirkt das Band für den LOC-Baustein als dämpfende Polymidzwischenschicht. Nach dem Bondieren der inneren Zuleitungen des TAB-Bandes 31 mit den Lothöckern 33 und 35 werden die Chips 32 und 34 durch Thermokompression miteinander verbunden.

Der obere und der untere Chip 32 und 34, die wie oben beschrieben fest miteinander verbunden worden sind, und die TAB-Bänder 31 bilden eine Chipgruppe C. Nachdem die Chipgruppe C auf einem Systemträger für ein SOP (Small Outline Package) oder ein SOJ (Small Outline J-Lead Package) befestigt worden ist, werden die äußeren Zuleitungen des TAB-Bandes 31 der Chipgruppe C durch Thermokompression jeweils mit Systemträgern 37 und 37' bondiert. Danach wird die entstandene Chipanordnung einer Gußkapselung unterzogen, wodurch ein die Chipanordnung umgebender Gußteil 38 gebildet wird.

Gewünschtenfalls können die Umkapselungskosten für den Multichip-Halbleiterbaustein durch Testen der Chipanordnung vor dem Bondieren der äußeren Zuleitungen des TAB-Bandes 31 mit den Systemträgern 37 und 37' verringert werden.

Da der Multichip-Halbleiterbaustein gemäß der oben beschriebenen Ausführungsform der vorliegenden Erfindung so aufgebaut ist, daß das einzelne TAB-Band 31 gleichzeitig mit dem oberen blanken Chip 32 und dem unteren blanken Chip 34 bondiert wird, kann die dünnste LOC-Paketierung erzielt und eine verdoppelte Paketierungskapazität erreicht werden.

Oggleich in dieser Beschreibung die vorliegende Erfindung im Falle der LOC-TSOP-Ausführung auf gewisse Besonderheiten abstellt, ist sie natürlich nicht auf eine solche spezifische Ausführungsform beschränkt, sondern kann auf alle Arten von Halbleiterbausteinen angewandt werden, wie beispielsweise auf Ausführungen vom LOC-SOJ-Typ, vom LOC-SOI-Typ und vom LOC-SOP-Typ.

Fig. 5 veranschaulicht eine weitere Ausführungsform der Erfindung. Der Multichip-Halbleiterbaustein umfaßt einen oberen und einen unteren blanken Chip 32 und 34. Zwischen die blanken Chips 32 und 34 sind Systemträger 37 und 37' eingefügt und befestigt. Die inneren Seiten der Systemträger 37 und 37' sind mit TAB-Bändern 34 bondiert, so daß die Zuführungen der TAB-Bänder 34 an Lothöcker 33 und 35 angeschlossen sind, die auf den Anschlüssen der oberen und unteren blanken Chips 32 und 34 angebracht sind. Die blanken Chips 32 und 34 werden gußumkapselt, so daß die anderen Seiten der Systemträger 37 und 37' nach außen freiliegen.

Bei dieser Ausführungsform der Erfindung werden die Zuleitungen der TAB-Bänder 31, die mit den Seiten der Systemträger 37 und 37' verbunden sind, durch C-4-Bondieren mit den jeweiligen Anschlüssen der oberen und unteren blanken Chips 32 und 34 unter Benutzung der Lothöcker 33 und 35 bondiert. Danach werden der obere und der untere Chip 32 und 34 und die zwischen ihnen eingefügten Systemträger 37 und 37' miteinander bondiert, so daß eine Chipgruppe C hergestellt wird. Dann wird die Chipgruppe C mit Polyimid gußumkapselt.

Der Spalt zwischen den blanken Chips 32 und 34 wird also durch die Systemträger 37 und 37' beibehalten, so daß zwei blanke Chips fest und stabil übereinander gestapelt werden können und ein getrenntes Lot nicht erforderlich ist. Da die Systemträger 37 und 37' weiter zwischen zwei blanken Chips 32 und 34 fixiert sind, können die Anschlüsse der blanken Chips nicht nur an den peripheren Abschnitten der blanken Chips gebildet werden, sondern auch in der Mitte oder in jedem beliebigen Abschnitt der blanken Chips.

Dementsprechend können die Anschlüsse wie gewünscht in die Auslegung des blanken Chips einbezogen werden.

Im Falle, daß eine vielfache Zahl von blanken Chips übereinander gestapelt wird, können Systemträger auch in den Gußteil verzweigt werden und dann zwischen die beiden blanken Chips eingefügt und dort befestigt werden.

Bezugnehmend auf die Fig. 6 bis 8 sind dort Multichip-Halbleiterbausteine gemäß einer weiteren Ausführungsform der Erfindung dargestellt, in denen vier blanken Chips übereinandergesetzt sind.

Der Multichip-Halbleiterbaustein umfaßt eine obere und eine untere Chipgruppe C und C'. Gleichermaßen wie in Fig. 4 dargestellt, weist die obere Chipgruppe C einen oberen blanken Chip 32 und einen unteren blanken Chip 34 auf. Der obere blanke Chip 32 ist mit Lothöckern 33 an den entgegengesetzten Seiten der unteren Oberfläche des Chips versehen, während der untere

blanken Chip 34 mit Lothöckern 35 an entgegengesetzten Seiten seiner oberen Oberfläche versehen ist. Innere Zuführungen des TAB-Bandes 31 sind zwischen den Lothöckern 33 und 35 bondiert. Der obere blanke Chip

32 und der untere blanke Chip 34 sind durch ein zwischen die Chips eingefügtes Lot 36 fest miteinander verbunden. Auch hier sind zum leichteren Verständnis der Struktur des Bausteins nur zwei TAB-Bänder 31 mit den zugehörigen Komponenten dargestellt. In gleicher Weise umfaßt die untere Chipgruppe C' einen oberen blanken Chip 42 und einen unteren blanken Chip 44. Der obere blanke Chip 42 ist mit Lothöckern 43 an entgegengesetzten Seiten seiner unteren Oberfläche versehen, während der untere blanke Chip 44 mit Lothöckern 45 an entgegengesetzten Seiten seiner oberen Oberfläche versehen ist. Innere Zuleitungen des TAB-Bandes 41 sind zwischen den Lothöckern 43 und 45 bondiert. Der obere blanke Chip 42 und der untere blanke Chip 44 sind durch ein zwischen die Chips eingefügtes Lot 46 fest miteinander verbunden. Die Systemträger 47, 47', 48, 48', 49 und 49' sind zwischen den äußeren Zuleitungen der TAB-Bänder 31 und den äußeren Zuleitungen der TAB-Bänder 41 bondiert. Die untere Chipgruppe C haftet an der unteren Chipgruppe C' durch Aufbringen eines Klebers 51 zwischen dem unteren blanken Chip 34 der oberen Chipgruppe C und dem oberen blanken Chip 42 der unteren Chipgruppe C'. Die so aufgebaute Chipanordnung ist mit einem Gußteil 50 umhüllt.

Nachfolgend wird das Verfahren zur Herstellung des vorerwähnten Multichip-Halbleiterbausteins gemäß einer weiteren Ausführungsform der vorliegenden Erfindung beschrieben, bei der der Baustein vier blanken Chips 32, 34, 42 und 44 besitzt.

Zuerst werden entsprechend der in Fig. 4 dargestellten Art und Weise die inneren Zuleitungen der TAB-Bänder 31 zwischen den an entgegengesetzten Seiten der unteren Oberfläche des oberen blanken Chips 32 angebrachten Lothöckern 33 und den an entgegengesetzten Seiten auf der oberen Oberfläche des unteren blanken Chips 34 angebrachten Lothöckern 35 befestigt, und zwar durch C-4-Bondieren. Dabei wird zwischen den oberen blanken Chip 32 und den unteren blanken Chip 34 ein Lot 36 eingefügt, so daß der obere blanke Chip 32 fest an den unteren blanken Chip 34 angeschlossen ist. Der obere und der untere blanke Chip 32 und 34, die wie oben beschrieben fest miteinander verbunden worden sind, und das TAB-Band 31 bilden eine obere Chipgruppe C.

Wie bei der oberen Chipgruppe C werden die inneren Zuleitungen der TAB-Bänder 41 durch C-4-Bondieren zwischen den Lothöckern 33 an den entgegengesetzten Seiten der unteren Oberfläche des oberen blanken Chips 42, und den Lothöckern 45 an den entgegengesetzten Seiten der oberen Oberfläche des unteren blanken Chips 44 befestigt. Dabei wird zwischen den oberen blanken Chip 42 und den unteren blanken Chip 44 ein Lot 46 eingefügt, so daß der obere blanke Chip 42 mit dem unteren blanken Chip 44 fest verbunden ist. Auf diese Weise wird die untere Chipgruppe C' gebildet.

Anschließend werden die äußeren Zuführungen der TAB-Bänder 41 der unteren Chipgruppe C' mit den unteren Oberflächen der Systemträger 47, 47', 48, 48', 49 und 49' verbunden. Der Kleber 51 wird auf einer oberen Oberfläche des oberen blanken Chips 42 der unteren Chipgruppe C' aufgebracht. Dann wird die obere Chipgruppe C auf den oberen blanken Chip 42 der unteren Chipgruppe C' plaziert, und die unteren Zuführungen der TAB-Bänder 31 der oberen Chipgruppe C werden

mit der oberen Oberfläche der Systemträger 47, 47', 48, 48', 49 und 49' durch Thermokompression bondiert. Die aus vier blanken Chips 32, 34, 42 und 44 gebildete Chipanordnung wird einer Formkapselung unterzogen, wodurch ein die Chipanordnung umschließendes Gußteil 50 gebildet wird. Der aus dem Gußteil 50 vorstehende Systemträger kann einer der folgenden Typen sein: LOC-SOJ-Typ 47, 47' (Fig. 5), LOC-SOI-Typ 48, 48' (Fig. 6) oder LOC-SOP-Type 49, 49' (Fig. 7).

Wie aus der obigen Beschreibung hervorgeht, kann die Anzahl der für die Paketierung benötigten TAB-Bänder um die Hälfte reduziert werden, da der Multichip-Halbleiterbaustein gemäß der Erfindung so aufgebaut ist, daß zwei blanke Chips an ein einzelnes TAB-Band oder vier blanke Chips an zwei TAB-Bändern bondiert werden. Dementsprechend kann der dünnstmögliche Multichip-Halbleiterbaustein hergestellt werden, wodurch das Herstellungsverfahren der Paketierung vereinfacht und die Herstellungskosten reduziert werden.

Es wird weiter davon ausgegangen, daß verschiedene Abänderungen und Varianten der Erfindung im Rahmen des fachmännischen Könnens liegen, ohne daß vom Wesen und Umfang der Erfindung abgewichen wird.

20

25

einem zweiten Systemträger, von denen ein Ende zwischen das obere und das untere blanke Chip eingefügt und dort befestigt ist, während das andere Ende nach außen freiliegt; erste und zweite Lothöckern, die auf Anschlußabschnitten jeweils des oberen und des unteren blanken Chips angebracht sind; und erste und zweite TAB-Bänder, von denen jedes mit einem Ende an ein inneres Ende jedes der Systemträger und mit dem anderen Ende an die Lothöcker angeschlossen ist, wobei die Chipgruppe gußumkapselt ist und die äußeren Seiten der Systemträger nach außen freiliegen.

8. Multichip-Halbleiterbaustein nach Anspruch 7, wobei die Einfügungslänge der Systemträger von der Position der Anschlußpartie des oberen und unteren blanken Chips abhängt.

9. Multichip-Halbleiterbaustein nach Anspruch 7, bei dem eine Vielzahl von Chipgruppen gleicher Gestalt gebildet ist, wobei jeder der Systemträger der Chipgruppen mit den entsprechenden Systemträgern an der linken und an der rechten Seite bondiert sind, und die Chipgruppen derart gußumkapselt sind, daß nur einer der linken und rechten Systemträger freiliegt.

#### Patentansprüche

25

#### Hierzu 4 Seite(n) Zeichnungen

1. Multichip-Halbleiterbaustein, umfassend:  
eine erste Chipgruppe mit einem ersten blanken Chip und einem zweiten blanken Chip, die miteinander durch ein eingefügtes Lot verbunden sind, und eine Vielzahl von TAB-Bändern, von denen jedes eine innere Zuleitung und eine äußere Zuleitung aufweist, wobei der erste und der zweite blanke Chip mit einer Vielzahl von Lothöckern auf entgegengesetzten Seiten der einander zugekehrten Oberflächen versehen sind, wobei die inneren Zuleitungen zwischen entsprechenden Lothöckern der ersten und zweiten blanken Chips bondiert sind, und einen Systemträger, der an die äußeren Zuleitungen der TAB-Bänder bondiert ist.

2. Multichip-Halbleiterbaustein nach Anspruch 1, wobei die Chipgruppe mit einer weiteren Chipgruppe, die den gleichen Aufbau wie die erste Chipgruppe besitzt, so miteinander verbunden sind, daß jeder der beiden blanken Chips der einen Chipgruppe jedem der beiden blanken Chips der anderen Chipgruppe benachbart ist, und jede äußere Zuführung der anderen Chipgruppe mit jedem zugehörigen Punkt des Systemträgers bondiert ist, der mit jeder entsprechenden äußeren Zuleitung der einen Chipgruppe bondiert ist.

3. Multichip-Halbleiterbaustein nach Anspruch 2, wobei ein Kleber zwischen den blanken Chips der Chipgruppen angebracht ist, die einander benachbart sind.

4. Multichip-Halbleiterbaustein nach Anspruch 2, bei dem die äußeren Zuführungen des TAB-Bandes mit dem SOJ-Typ des Systemträgers bondiert sind.

5. Multichip-Halbleiterbaustein nach Anspruch 2, bei dem die äußeren Zuführungen des TAB-Bandes mit dem SOI-Typ des Systemträgers bondiert sind.

6. Multichip-Halbleiterbaustein nach Anspruch 2, bei dem die äußeren Zuführungen des TAB-Bandes mit dem SOP-Typ des Systemträgers bondiert sind.

7. Multichip-Halbleiterbaustein, umfassend:  
eine Chipgruppe mit einem oberen blanken Chip und einem unteren blanken Chip; einem ersten und

30

35

40

45

50

55

60

65

**— Leerseite —**

FIG.1

STAND DER TECHNIK

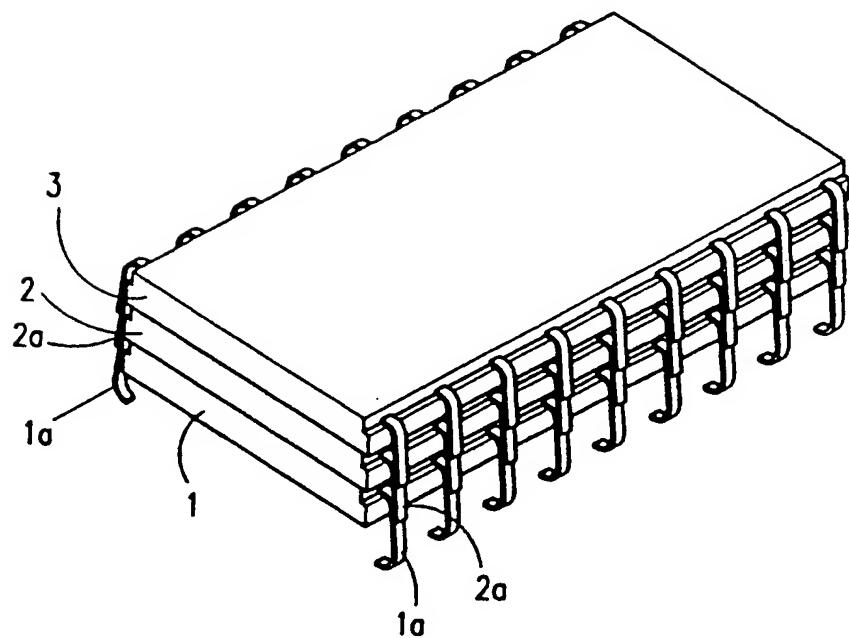


FIG.2

STAND DER TECHNIK

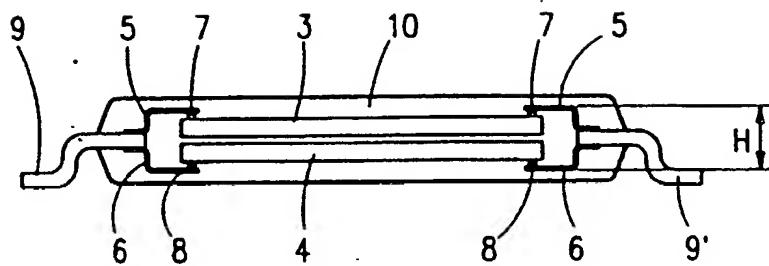


FIG.3

STAND DER TECHNIK

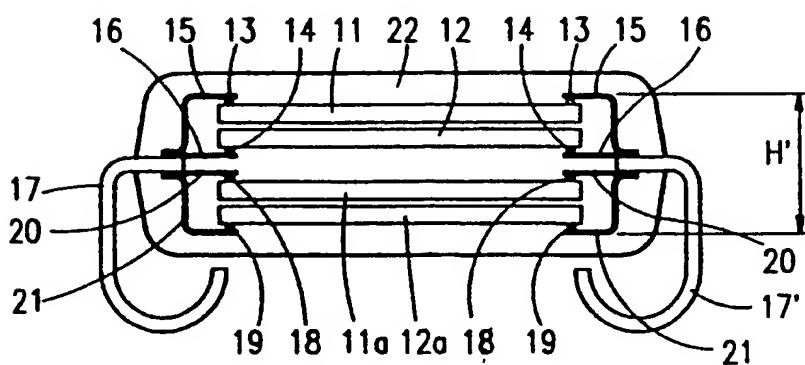


FIG.4

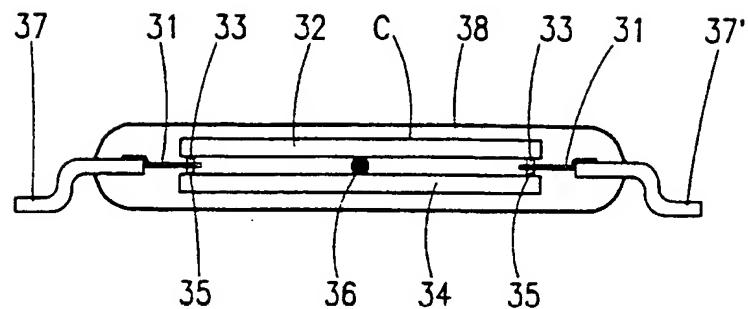


FIG.5

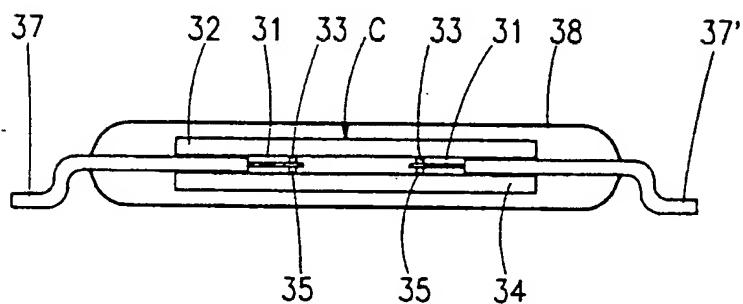


FIG.6

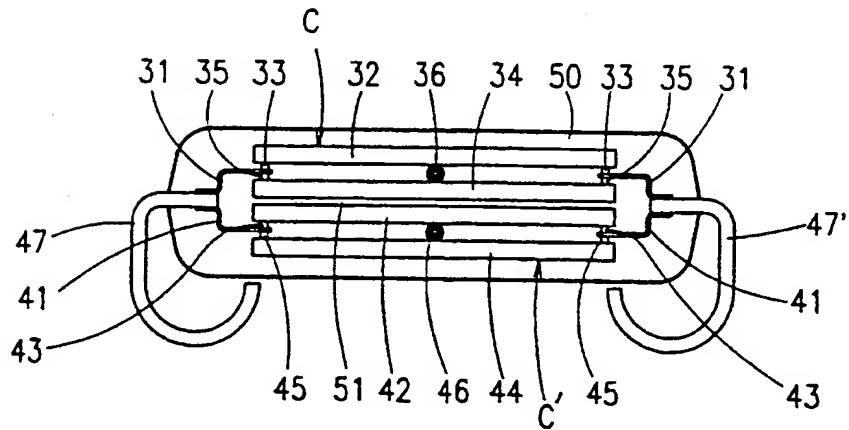


FIG. 7

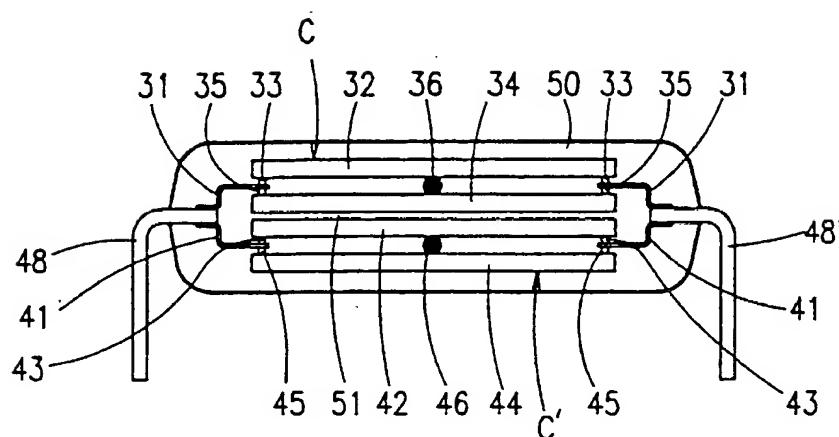


FIG. 8

